

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

F-03ED0125

**SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR**

Patent Number: JP2003078076  
Publication date: 2003-03-14  
Inventor(s): CHINDA SATOSHI; SUZUKI KATSUMI  
Applicant(s): HITACHI CABLE LTD  
Requested Patent: ☐ JP2003078076  
Application Number: JP20010268413 20010905  
Priority Number(s):  
IPC Classification: H01L23/28; H01L21/56; H01L23/12; H01L23/50  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To reduce defective exposure of a conductor terminal (lead) related to a QFN or SON type semiconductor device.

**SOLUTION:** This method for manufacturing a semiconductor device comprises a conductor terminal forming process wherein a conductor terminal of a specified pattern is formed on the surface of an insulating substrate; a semiconductor chip mounting process wherein a semiconductor chip is bonded onto the insulating substrate on which the conductor terminal is formed, and then an external electrode (bonding pad) of the semiconductor chip and the conductor terminal are electrically connected together; a sealing process wherein the semiconductor chip, the conductor terminal and the connection part between the external electrode of the semiconductor chip and the conductor terminal are sealed with an insulating material; and a peeling process wherein, after sealing, the semiconductor chip and the conductor terminal sealed with the insulating material are peeled off from the insulating substrate. In the conductor terminal formation process, the conductor terminal is formed on the surface of the insulating substrate by using the conductor whose adhesion strength with the insulating substrate is deteriorated under a specified condition. In the peeling process, the semiconductor chip and the conductor terminal are peeled off after the adhesion strength between the insulating substrate and the conductor terminal is deteriorated under the specified conditions.

Data supplied from the esp@cenet database - I2

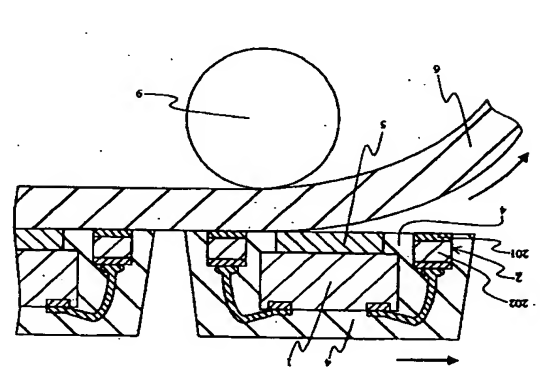
(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号  
特開2003-78076A  
(P2003-78076A)  
(43) 公開日 平成15年3月14日(2003.3.14)

(51) Int. Cl.	識別記号	F I	テックニド(参考)
H 01 L 23/28		H 01 L 23/28	A 4 M 109
21/56		21/56	T 5 F 061
23/12	5 0 1	23/12	5 0 1 T 5 F 067
23/50		23/50	5 0 1 W G

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特開2001-288413(P2001-288413)	(71) 出願人	000005120 日立電線株式会社 東京都千代田区大手町一丁目6番1号
(22) 出願日	平成13年9月5日(2001.9.5)	(72) 発明者	豊田 聡 茨城県日立市日高町5丁目1番1号 日立電線株式会社総合技術研究所内
		(72) 発明者	鈴木 勝美 茨城県日立市助川町3丁目1番1号 日立電線株式会社電線工場内
		(74) 代理人	100116171 弁理士 川澄 茂

(54) [発明の名称] 半導体装置の製造方法及び半導体装置



(57) 【要約】  
【課題】 QFN型あるいはSON型の半導体装置において、導体端子（リード）の露出不良を低減する。  
【解決手段】 絶縁基板の表面に所定のパターンの導体端子を形成する導体端子形成工程と、前記導体端子が形成された絶縁基板上に半導体チップを接合し、前記半導体チップの外部電極（ボンディングパッド）と前記導体端子を電気的に接続する半導体チップ実装工程と、前記半導体チップ、前記導体端子、及び前記半導体チップの外部電極と前記導体端子との接続部分を絶縁体で封止する封止工程と、前記封止工程の後、前記絶縁体で封止された前記半導体チップ及び前記導体端子を前記絶縁基板から剥離する剥離工程とを備える半導体装置の製造方法であって、前記剥離工程は、前記絶縁基板との密着力が低下する条件にしたときに前記絶縁基板との密着力を低下する導体を用いて前記導体端子を形成し、前記剥離工程は、前記所定の条件のもとで前記絶縁基板と前記導体端子との密着力を低下させてから剥離する半導体装置の製造方法である。

【特許請求の範囲】  
【請求項1】 絶縁基板の表面に所定のパターンの導体端子を形成する導体端子形成工程と、前記導体端子が形成された絶縁基板上に半導体チップを接合し、前記半導体チップの外部電極（ボンディングパッド）と前記導体端子を電気的に接続する半導体チップ実装工程と、前記半導体チップ、前記導体端子、及び前記半導体チップの外部電極と前記導体端子との接続部分を絶縁体で封止する封止工程と、前記封止工程の後、前記絶縁体で封止された前記半導体チップ及び前記導体端子を前記絶縁基板から剥離する剥離工程とを備える半導体装置の製造方法であって、  
前記導体端子形成工程は、前記絶縁基板の表面に、所定の条件にしたときに前記絶縁基板との密着力が低下する導体を用いて前記導体端子を形成し、  
前記剥離工程は、前記所定の条件のもとで前記絶縁基板と前記導体端子との密着力を低下させてから剥離することとを特徴とする半導体装置の製造方法。  
【請求項2】 前記導体端子形成工程は、所定の温度に加熱したとき前記絶縁基板との密着力が低下する導体を用いて前記導体端子を形成することとを特徴とする請求項1に記載の半導体装置の製造方法。  
【請求項3】 前記導体端子形成工程は、前記絶縁基板上に、所定の温度で所定時間加熱したときに前記絶縁基板との密着力が低下する第1導体層を形成し、前記第1導体層上に、第2導体層を積層して前記導体端子を形成することとを特徴とする請求項2に記載の半導体装置の製造方法。  
【請求項4】 前記封止工程は、前記絶縁体として熱硬化性樹脂を用い、溶融した前記熱硬化性樹脂を成形した後、所定の温度で所定時間加熱して前記熱硬化性樹脂を硬化させるとともに、前記導体端子と前記絶縁基板との密着力を低下させることを特徴とする請求項2または請求項3に記載の半導体装置の製造方法。  
【請求項5】 前記導体端子形成工程は、前記絶縁基板と前記導体端子との密着力を低下させることを特徴とする請求項4に記載の半導体装置の製造方法。  
【請求項6】 半導体チップと、前記半導体チップの外部電極に配置された導体端子と、前記半導体チップの外部電極（ボンディングパッド）と前記導体端子を電気的に接続するボンディングワイヤ、及び前記ボンディングワイヤと前記導体端子との接続部分を絶縁体で封止する導体を用いて前記導体端子を形成し、前記剥離工程は、前記所定の条件のもとで前記絶縁基板と前記導体端子との密着力を低下させてから剥離する半導体装置の製造方法である。

【発明の詳細な説明】  
【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に、QFN (Quad Flat Non-leaded package) 型あるいはSON (Small Outline Non-leaded package) 型のように導体端子（リード）が装置の外形から突出していない半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来、半導体チップの外部電極（ボンディングパッド）と導体端子（リード）をボンディングワイヤで電気的に接続し、前記半導体チップ、前記ボンディングワイヤ、及び前記ボンディングワイヤと前記リードの接続部分を絶縁体で封止した半導体装置には、QFN型やSON型のように、前記リードが前記絶縁体から突出せず、前記絶縁体の表面に露出した状態の半導体装置がある。

【0003】 前記QFN型の半導体装置は、例えば、図11(a)に示すように、半導体チップ1の外部電極に於いて、実装基板あるいは外部装置と接続される導体端子（リード）2が配置されており、図11(b)に示すように、前記半導体チップ1と前記導体端子2は、例えば、フィルム状接着剤5'により接合されている。また、前記半導体チップ1の外部電極（ボンディングパッド）101と前記導体端子2は、図11(b)に示したように、ボンディングワイヤ3により電気的に接続されており、前記半導体チップ1、前記ボンディングワイヤ3、及び前記ボンディングワイヤ3と前記導体端子2との接続部分が、例えば、エポキシ系樹脂などの熱硬化性樹脂のような絶縁体4で封止されている。またこのとき、前記導体端子2は、前記半導体チップ1の外部の傾斜で、例えば、図11(b)に示したように、前記半導体チップ1から遠ざかる方向に変形しており、前記導体端子2の一端が前記絶縁体4の表面に露出している。

【0004】 前記QFN型の半導体装置の製造方法を簡単に説明すると、まず、図12に示すように、銅板などの金属板の所定位置にリードパターンを形成したリードフレーム10を準備する。このとき、前記リードパターンには、半導体装置（パッケージ）として切り出す領域11の外側から半導体チップを搭載する領域12に向かって延びる導体端子2が設けられている。また、前記リードパターンは、例えば、金型による打ち抜き加工や、エッチング処理により形成される。また、前記リードパターンを形成した後、前記導体端子2の先端部を、図11(b)に示したように変形させる。またこのとき、前記リードフレーム10は形状あるいは組立状態になっており、一枚のリードフレーム10に、図12に示したリードパターンが数個から十数個、繰り返し形成される。

【0005】 次に、図13(a)に示すように、フィルム状接着剤5'を用いて、前記リードフレーム10の導体端子2上に半導体チップ1を接合し、図13(b)に示すように、前記半導体チップ1の外部電極（ボンディ

ングバット) 101と前記リードフレーム100の導体端子2とをボンディングワイヤ3で電気的に接続する。

【0006】次に、図14(a)に示すように、前記半導体チップ1が実装されたリードフレーム100を、所定の形状の空間(キャビティ) 801Aが設けられた上金型8Aと平板状の下金型8Bの間に設置し、封止用の絶縁体4として、例えば、未硬化の熱硬化性樹脂を前記上金型8Aのキャビティ801Aと前記下金型8Bで囲まれた空間内に流し込み、成形した後、所定の温度で所定時間加熱して前記絶縁体4(熱硬化性樹脂)を硬化させ、前記半導体チップ1、前記ボンディングワイヤ3、及び前記ボンディングワイヤ3と前記導体端子2との接続部を封止する。このとき、前記導体端子2の一面が、図14(a)に示すように、前記下金型8Bと接触しているため、前記絶縁体4を硬化させて封止した後、前記導体端子2は、図14(b)に示したように、その表面の一部が前記絶縁体4の表面に露出する。

【0007】その後、図12に示した、前記リードフレーム100の領域11を切り出す。すなわち、前記導体端子2の、前記絶縁体4から突出した部分を切断して個片化する。図11(a)及び図11(b)に示したようなQFN型の半導体装置になる。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来の技術では、図14(a)に示したような上金型8A及び下金型8Bを用いたトランザクションモールドにより、前記半導体チップ1、前記ボンディングワイヤ3、及び前記ボンディングワイヤ3と前記導体端子2の接続部を封止しているが、前記リードフレーム100の導体端子2は、先端部の成形時や搬送時、あるいはワイヤボンディング時にかかる外力、または前記上金型8Aと下金型8Bで固定するときの圧力などにより変形しやすく、図15(a)及び図15(b)に示すように、前記下金型8Bと前記変形した導体端子2の間に隙間ができてしまうことがある。ここで、図15(b)は図15(a)のD-D'線での断面図である。

【0009】図15(a)及び図15(b)に示したように、前記変形した導体端子2'と前記下金型8Bの間に隙間ができる。前記絶縁体4(熱硬化性樹脂)を流し込んだときに、前記絶縁体4が前記隙間にも流れ込むため、前記絶縁体4を硬化させて封止した後、図15(c)に示すように、前記変形した導体端子2'は、前記絶縁体4で覆われてしまう。すなわち露出不良になるという問題があった。

【0010】前記導体端子2の露出不良により、例えば、前記導体端子2の露出面が狭くなると、前記半導体装置を実装する際の実装性が低下し、実装基板との接続信頼性が低下するという問題がある。また、前記導体端子2の前記絶縁体4で覆われた面積が大きいために、その半導体装置は不良品となり、半導体装置の製造歩留

まりが低下するため、半導体装置の製造コストが増大するという問題があった。

【0011】また、図12に示したような、前記リードフレーム100を用いてQFN型の半導体装置を製造する場合には、封止工程の後の個片化工程で、前記導体端子2の突出部分2Aを切断するが、図16(a)に示すように、前記導体端子2の外形が矩形の場合、切断時に前記導体端子2にかかると、図16(b)に示すように、6角形状の導体端子11にして、前記絶縁体4への引っ掛かりをよくする方法がある。この場合、金型による打ち抜き加工で前記リードフレームを形成することが難しく、エッチングによる前記リードフレームを形成しているが、エッチングの場合は処理時間が長くなり、生産性が低下するという問題があった。

【0012】また、図16(b)に示したような、6角形状の導体端子11の場合も、搬送中や半導体チップを実装する工程で変形が起りやすく、前記封止工程において、変形した導体端子が前記絶縁体4で覆われて不良品になりやすく、製造歩留まりが低下し、製造コストが増大するという問題があった。

【0013】また、前記リードフレームを用いて製造する場合には、前記リードフレームが短冊状であり、一枚のリードフレームで数個から十数個の半導体装置しか製造できないため、生産性が低く、製造コストが上昇するという問題があった。

【0014】また、図11(a)及び図11(b)に示したようなQFN型の半導体装置の場合、前記絶縁体4で前記ボンディングワイヤ3を封止するとともに、前記導体端子2を前記絶縁体4の表面に露出させるために、前記導体端子2を変形させている。そのため、前記導体端子2の高さ分だけ前記半導体装置が厚くなり、半導体装置の薄型化が難しいという問題があった。

【0015】また、従来のQFN型の半導体装置の場合、前記半導体チップ1を前記導体端子2上に接着しているが、前記各導体端子2は、短絡しないようにある程度の距離を増設しなければならない。そのため、微細化や高密度化が難しいという問題がある。また、多ピン化すると半導体装置が大型化してしまうという問題があった。

【0016】本発明の目的は、QFN型あるいはSON型の半導体装置において、リード(導体端子)の露出不良を低減することが可能な技術を提供することにある。

【0017】本発明の他の目的は、QFN型あるいはSON型の半導体装置において、装置の製造歩留まりを向上させ、製造コストを低減することが可能な技術を提供することにある。

【0018】本発明の他の目的は、QFN型あるいはSON型の半導体装置において、装置の生産性を向上

せ、製造コストを低減することが可能な技術を提供することにある。

【0019】本発明の他の目的は、QFN型あるいはSON型の半導体装置において、装置を薄型化することが可能な技術を提供することにある。

【0020】本発明の他の目的は、QFN型あるいはSON型の半導体装置において、多ピン化による装置の大型化を防ぐことが可能な技術を提供することにある。

【0021】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかにされる。

【0022】

【課題を解決するための手段】本発明において開示される発明の概要を説明すれば、以下のとおりである。

【0023】(1) 絶縁基板の表面に、所定のパターンで形成された導体端子形成工程と、前記導体端子が形成された絶縁基板上に半導体チップを装着し、前記半導体チップの外部電極(ボンディングパッド)と前記導体端子を電気的に接続する半導体チップ実装工程と、前記半導体チップ、前記導体端子、及び前記半導体チップの外部電極と前記導体端子の接続部分を絶縁体で封止する封止工程と、前記封止工程の後、前記絶縁体で封止された半導体チップ及び前記導体端子を前記絶縁基板上から剥離する剥離工程とを備える半導体装置の製造方法であって、前記導体端子形成工程は、前記基板の表面に、所定の条件にしたときに前記絶縁基板と前記導体端子の密着性が低下する導体を用いて前記導体端子を形成し、前記剥離工程は、前記所定の条件のもとで前記絶縁基板と前記導体端子の密着力を低下させてから剥離する半導体装置の製造方法である。

【0024】前記(1)の手段によれば、前記絶縁基板の表面に、所定の条件にしたときに前記絶縁基板との密着性(接着性)が低下する導体を用いて前記導体端子を形成しておくことにより、封止工程の際には、前記絶縁基板と前記導体端子の密着性を高くしておき、前記導体端子と前記絶縁基板の接合面に前記絶縁体で流れ込むのを防ぎ、前記封止工程の後、前記所定の条件で前記絶縁基板と前記導体端子の密着力を低下させて剥離することにより、前記導体端子の密着力を低下させ、前記絶縁基板との接合面の露出不良を低減させることができる。

【0025】また、前記所定の条件で前記絶縁基板との密着力が低下する導体を用いて前記導体端子を形成することにより、前記剥離工程で前記導体端子を前記絶縁基板から剥離する際に前記導体端子を前記絶縁基板から剥離しにくくすることができ、前記導体端子が前記半導体チップを封止する絶縁体から剥離しにくくすることができる。

【0026】またこのとき、前記導体端子は、例えば、前記絶縁基板の表面に、所定の条件にしたときに前記絶縁基板との密着力が低下する第1導体層を形成し、前記第1導体層上に第2導体層を形成し、前記第1導体層及び

前記第2導体層をエッチング処理して形成する。またこのとき、前記第1導体層及び前記第2導体層をエッチング処理する工程では、前記第2導体層上の前記導体端子を形成する部分にレジスト(エッチングレジスト)を形成するが、前記エッチングレジストには樹脂系材料のものほかに、例えば、金めっきなどが用いられる。前記エッチングレジストに金めっきを用いる場合、エッチング処理後に前記金めっきを残しておく、ボンディンググライヤとの接続性をよくするための導体めっきとして用いることができる。

【0027】また、前記導体端子は、前記第1導体層及び前記第2導体層をエッチング処理する方法の他に、例えば、前記絶縁基板の表面に、所定の条件にしたときに前記絶縁基板との密着力が低下する第1導体層を形成し、前記絶縁基板の表面に形成された前記第1導体層上に、所定のパターンの第2導体層を形成した後、前記第1導体層の不要な部分を除去して前記導体端子を形成する、アディティブ法を用いた形成方法もある。

【0028】また、前記絶縁基板上に形成する前記第1導体層には、所定の温度で所定時間加熱したときに前記絶縁基板との密着性が低下する導体を用いることが好ましく、具体的には、前記絶縁基板としてポリイミド樹脂を用い、前記ポリイミド樹脂基板の表面に、ニックル合金を用いた第1導体層を形成することが好ましい。

【0029】前記ポリイミド樹脂基板の表面に前記ニックル合金を形成した場合、例えば、180℃の雰囲気中に1時間ほど放置しておく、前記ポリイミド樹脂基板と前記ニックル合金層間の接着強度が0.1N/m程度になる。一方、前記ポリイミド樹脂基板と前記封止用絶縁体との接着強度は1N/m程度、前記第2導体層(電解銅めっき膜)と前記封止用絶縁体との接着強度は1N/m程度であるため、前記剥離工程において、前記絶縁基板を前記導体端子から剥離する際に、前記導体端子にかかると、前記導体端子が前記封止用絶縁体から剥離しにくいため、装置の信頼性及び製造歩留まりを向上させることができる。

【0030】また、前記絶縁基板としてポリイミド樹脂を用い、前記第1導体層としてニックル合金を用いた場合、加熱したときの前記ポリイミド樹脂基板との密着力を低下させやすいため、前記ニックル合金を薄くすることにより前記導体端子の強度が低下する。また、前記第2導体層として、例えば、電解銅めっき膜を厚付けすることにより、前記導体端子の強度を保つことができる。

【0031】また、前記封止工程は、一般的に、前記封止用絶縁体として、エポキシ系などの熱硬化性樹脂が用いられており、金型を用いて溶融した前記熱硬化性樹脂を流し込み、成形した後、前記熱硬化性樹脂を所定の温度で所定時間加熱して硬化させている。このとき、前記

緑体、5は接着剤（ダイペースト）である。

【0040】本実施例の半導体装置は、QFN型の半導体装置であり、図1（a）及び図1（b）に示すように、半導体チップ1と、前記半導体チップ1の外周に沿って設けられ、前記半導体チップの外部端子10と電気的に接続される導体端子2と、前記半導体チップの電気的に接続される導体端子2を電気的に接続するボンディングワイヤ3と、前記半導体チップ1、前記ボンディングワイヤ3、及び前記ボンディングワイヤ3と前記導体端子2の接続部を覆う絶縁体4により構成されている。また、前記半導体チップ1の前記外部端子10に1が設けられた面と向する面（非回路形成面）には、半導体装置を製造する際に用いた接着剤5が残っており、前記半導体チップ1は前記絶縁体4及び前記接着剤5により封止されている。

【0041】また、前記導体端子2は、図1(b)に示すように、第1導体層201、第2導体層202、及び導体めっき203が形成されており、前記導体端子2の一面、言い換えると前記第1導体層201が前記絶縁層4の表面に露出している。また、本実施例の半導体装置では、前記第1導体層201としてニッケル合金膜を用い、前記第2導体層202として電解銅めっき膜を用い、前記導体めっき203として金めっきを用いている。

【0042】図27至図28は、本実施例の半導体装置の製造方法を説明するための模式図であり、図2(a)、図2(b)、図3はそれぞれ半導体電子形成工程における各工程での断面図、図4は半導体チップ実装工程の断面図、図5及び図6は半導体チップ実装工程の断面図、図7は封止工程の断面図、図8は封止工程の断面図である。

【0043】本実施例の半導体装置の製造方法は、大まかに分けると、所定の基板の上に前記導体層を形成する導体層形成工程、前記導体層 2 が形成された前記基板の上に導体チップ 1 を実装する半導体チップ実装工程、前記導体層 2 に露露したと実装された前記導体チップ 1 を止する封止工程、前記封止工程のあと、封止された半導体チップ 1 及び導体層 2 を前記基板から剥離する剥離工程の 4 つの工程からなる。以下、図 2乃至図 3 に沿って、本実施例の半導体装置の製造方法について説明する。

【0044】まず、前記導体端子形成工程では、図2(a)に示すように、例えば、ポリイミド樹脂からなる第1導体基板6の表面に、第1導体膜201及び第2導体膜202を堆積する。このとき、前記第1導体膜201の厚さは、後の剥離工程において、前記剥離液6から剥離するにあたり、前記剥離液6との密着性が強い導体を用いるため、前記剥離液6を用いる際の剥離速度と外力との割合が小さいが、途中の工程あるいは剥離速度と外力との割合を防ぐために、前記半導体チップ実装工程や前記半導体封止工程では、ある程度の密着性が強い導体である。その

ため、前記第1導体膜20-1には、例えば、所定の温度に加熱したときに前記絶縁基板6との密着力が低下するニッケル合金を用い、例えば、スパッタリングにより、厚さが5nm(50Å)以下の層20-1以下になるように形成する。またこのとき、前記ニッケル合金膜は、例えば、クロム(Cr)の重量パーセントが5パーセントか、前記10パーセントのニッケル-クロム合金の場合、180℃の雰囲気中、1に1時間程度放置すると、前記絶縁基板6(ポリイミド樹脂基板)6との密着力(接着力)は、0.1N/cm<sup>2</sup>程度に低下する。またこのとき、前記密着強度が高い絶縁基板6ほど、加熱したときに前記第1導体膜20-1との密着力が低下しやすくなる。

【0045】また、前記第2導体膜202は、例えば、電解銅めっき膜であり、前記第1導体膜（ニッケル合金膜）201を焼結したと電解めっきで形成される。従来のテーパーキャリアの製造に用いられているテーパー材のよ  
うに、一方に向き異なるテーパー状をしており、前記第1導  
体膜201及び前記第2導体膜202はリール方式で形  
成する。

【0047】次に、例えば、図2(b)に示すように、前記第2導体膜(電解めっき膜)202上に、図1(a)に示したような導体端子2を形成する部分が開口したレジスト(めっきレジスト)7を形成し、前記めっきレジストの開口部、すなわち、前記第2導体膜202の露出面上に端子めっき203を形成する。前記めっきレジストは、例えば、フィルムレジストに於いて所定のパターンを露光、現像する写真法、スクリーン法を用いてレジストインクを印刷する印刷法により形成する。また、前記端子めっき203は、例えば、無電解ニッケルめっきを下地として無電解めっきを形成す

【0048】またこのとき、前記めっきレジスト7及び前記端子めっき203は、リール法により形成するた  
め、1個の半導体装置を形成する領域1内に、図1  
(a)に示したようなパターンの端子めっき203が形  
成されており、前記領域1内のパターンと同様のパタ  
ーンが前記絶縁基板6上に選択的に形成される。

【0049】次に、前記めっきレジスト7を除去した  
ま、前記導子めっき203をマスク（エッチングレジス  
ト）として、図3に示すように、前記レジスト202  
及び前記レジスト1導体膜201をエッチング処理して導体層  
203を形成する。このとき、エッチング液としては、  
例えば、塩化第二鉄（FeCl<sub>2</sub>）溶液や塩化第二銅（CuCl<sub>2</sub>  
・2H<sub>2</sub>O）溶液が用いられる。

【0050】前記導体端子形成工程の次に行われる半導  
体チップ製造工程では、まず、図4及び図5に示すよう  
に、前記導体端子形成工程で前記導体端子2を形成した  
基板6のチップ搭載領域に、例えば、銅ペーストなどの

接着剤5を塗布して半導体チップ1を接着する。

【0051】次に、図 6 に示すように、前記半導体チップ 1 の外部電極 101 と前記通体端子 2 をボンディングワイヤ 3 で電気的に接続する、このとき、前記ボンディングワイヤ 3 のループ高さを低くするために、例えば、前記通体端子 2 を第 1 ボンドとして設置改を併用した状態で接続し、前記半導体チップの外部電極 101 を第 2 ボンドとして設置する並列ボンディングにより接続する。

【0052】前記平導体チップ実装工程の次に行われる封止工程では、前記平導体チップ1、前記ボンディングワイヤ3、及び前記ボンディングワイヤ3と前記導体基板2との接合部を絶縁体で封止する。このとき、前記平導体チップ1が実装された絶縁基板6は、図7に示すように、所定の形状の空間（キャビティ）801Aが設けられた上型金型8Aと、前記基板1を支持する平板状の下型金型8Bの間に設置、固定し、前記上型8Aのキャビティ801A内に、前記絶縁体4とし、例えば、溶融セラミックス材料、あるいは未硬化の熱硬化性樹脂などを用いて充填させ、成形した後、前記絶縁体4を冷却して固化させる。また、180℃の雰囲気中で5時間から6時間加熱して硬化させる。このとき、前記絶縁体4を加熱して硬化させている過程で、前記導体基板（ポリイミド樹脂）6の応縮力が低下する。

【0053】前記封止工程において、前記絶縁体4を流し込みんで成形するときの温度は180℃程度で、所望時期には2分程度であるため、前記絶縁体4を流し込んでいく際には、前記第1導体膜（ニッケル合金膜）201と前記絶縁基板6（ポリミッド樹脂基板）6との密着性は低下しない。そのため、前記絶縁体4を流し込んだときの外力で前記導体端子2が前記絶縁基板1から剝離する可能性はほとんどなく、前記第1導体膜201と前記絶縁基板6の接合界面上に前記絶縁体4が流れ込むことはな

[illegible]

【0055】前記ポリイミド樹脂基板6の表面に前記ニッケル合金膜201を形成した場合、例えば、180℃で2時間ほど放置しておくと、前記ポリイミド樹脂基板6の表面に前記ニッケル合金膜201が析出する。析出したニッケル合金膜201は、前記樹脂基板6の表面に均一に析出する。析出したニッケル合金膜201は、前記樹脂基板6の表面に均一に析出する。析出したニッケル合金膜201は、前記樹脂基板6の表面に均一に析出する。





【図7】本実施例の半導体装置の製造方法を説明するための模式図であり、封止工程における断面図である。

【図8】本実施例の半導体装置の製造方法を説明するための模式図であり、封止工程における断面図である。

【図9】前記実施例の半導体装置の製造方法を説明するための模式図であり、図9(a)は半導体装置の導体端子側から見た平面図、図9(b)は図9(a)のB-B'線での断面図である。

【図10】前記実施例の半導体装置の他の変形例を示す模式図であり、図10(a)は半導体装置のチップ側から見た平面図、図10(b)は図10(a)の側面方向から見た断面図である。

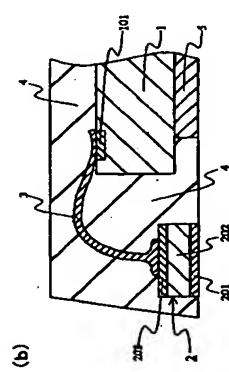
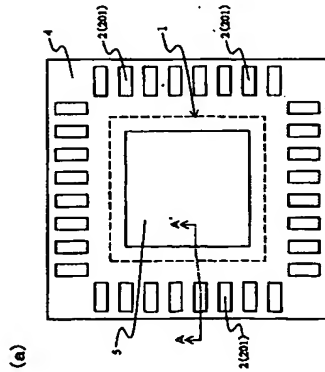
【図11】従来のQFN型の半導体装置の概略構成を示す模式図であり、図11(a)は装置の導体端子(リード)側から見た平面図、図11(b)は図11(a)のC-C'線での断面図である。

【図12】従来のQFN型の半導体装置の製造方法を説明するための模式図であり、使用するリードフレームの概略構成を示す平面図である。

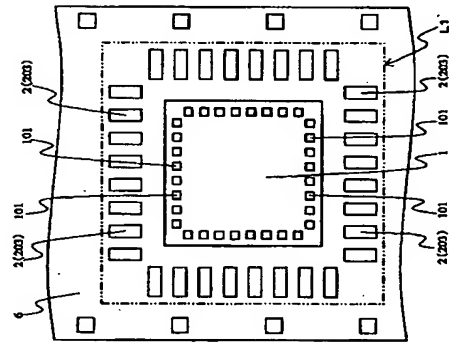
【図13】従来のQFN型の半導体装置の製造方法を説明するための模式図であり、図13(a)、図13(b)はそれぞれ、半導体チップを実装する工程の断面図である。

【図14】従来のQFN型の半導体装置の製造方法を説明するための模式図であり、図14(a)は封止工程の

【図1】



【図4】



断面図、図14(b)は個片化工程の断面図である。

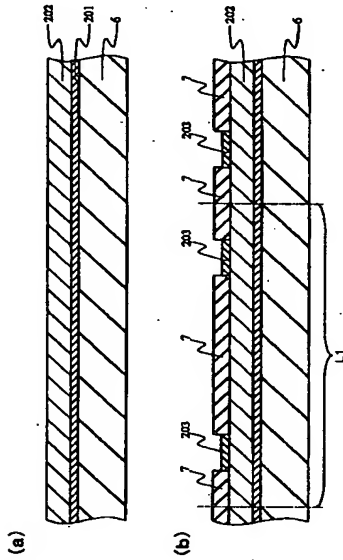
【図15】従来のQFN型の半導体装置の問題点を説明するための模式図である。

【図16】従来のQFN型の半導体装置の他の問題点を説明するための模式図である。

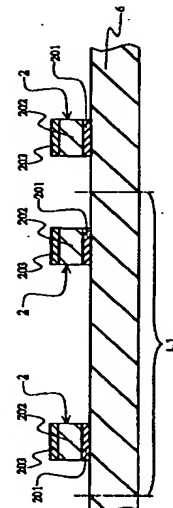
【符号の説明】

- 1 半導体チップ
- 101 外部電極 (ボンディングパッド)
- 2 導体端子 (リード)
- 201 第1導体膜 (ニッケル合金膜)
- 202 第2導体膜 (電解銅めっき膜)
- 203 導子めっき
- 3 ボンディングワイヤ
- 4 絶縁体
- 5 接着剤 (ダイペースト)
- 5' フィルム状接着剤
- 6 絶縁基板 (ポリイミド樹脂基板)
- 7 レジスト (めっきレジスト)
- 8A 上金型
- 801A キャピティ
- 8B 下金型
- 9 ローラー
- 10 リードフレーム
- 11 六角形の導体端子

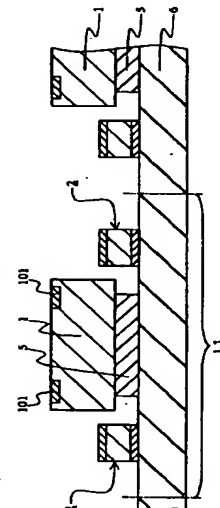
【図2】



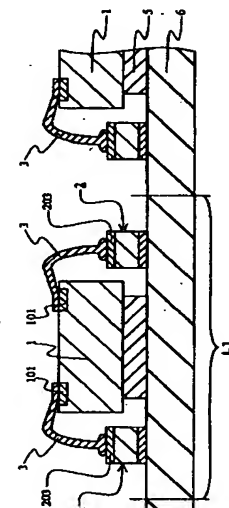
【図3】



【図5】



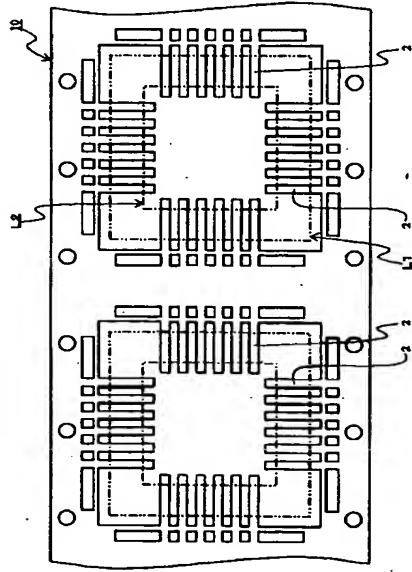
【図6】



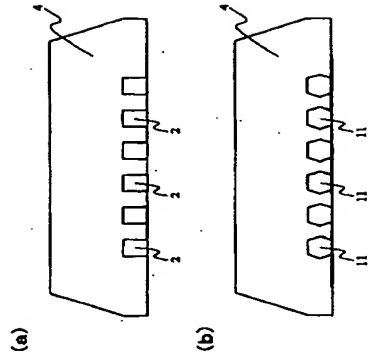




【図12】



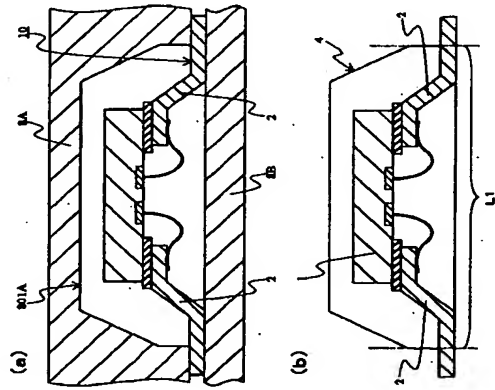
【図16】



フロントページの続き

Fターム(参考) 4H109 AA01 BA01 CA21 FA07  
SF061 AA01 BA01 CA21 DD14 EA03  
SF067 AA09 AA11 AB03 BC12 BE10  
CC00 CC08 DE14 DF01

【図14】



【図15】

